

Semiconductor memory

Patent Number: ☐ US5875128
Publication date: 1999-02-23
Inventor(s): ISHIZUKA NOBUHIKO (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: ☐ JP10011991
Application Number: US19970885742 19970630
Priority Number(s): JP19960169392 19960628
IPC Classification: G11C16/04
EC Classification: G11C16/04V
Equivalents: JP2882370B2

Abstract

In a semiconductor memory including NOR type cells in which memory cell transistors are located between adjacent bit lines and virtual ground lines, the connection pattern of bit line selecting transistors included, in each of adjacent bit line selection circuits SEL1 and SEL2, to bit line selecting lines, is inverted to that in an adjacent bit line selection circuit. When a memory cell transistor M05 is selected, D6 becomes the bit line and D5 becomes the virtual GND line. At this time, however, since D3 is brought to the precharge level, a current flows through the non-selected transistors M03 and M04 to the virtual GND line D5. But, since this current flows through the two non-selected transistors M03 and M04 to the virtual GND line D5, this current is smaller than the prior art semiconductor memory in which the current flows through only one non-selected transistor.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-11991

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl.⁴
G11C 17/18

識別記号 庁内整理番号

F I
G11C 17/00

技術表示箇所

306A

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平8-169392

(22) 出願日 平成8年(1996) 6月28日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 石塚 伸彦

東京都港区芝五丁目7番1号 日本電気株
式会社内

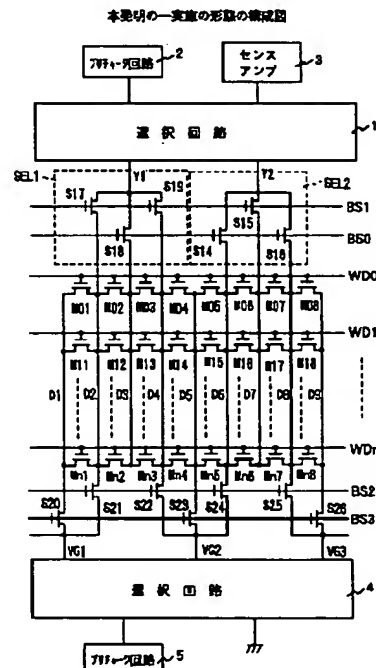
(74) 代理人 弁理士 松浦 兼行

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 2つのセルトランジスタに共通な仮想GND線に、センスアンプから流れてくる電流と、プリチャージ回路から流れてくる電流が合流し、オフセルを読み込んでいるように見えてしまう。

【解決手段】 隣り合うビット線選択回路SEL1及びSEL2のビット線選択トランジスタの配置が、ビット線選択線に対して逆配置にされている。メモリセルトランジスタM05を選択する場合、ビット線はD6、仮想GND線はD5となる。しかし、この時D3がプリチャージレベルとなっているため、非選択メモリセルトランジスタM03、M04を通して仮想GND線D5へと電流が回り込む。ところが、この電流は2つの非選択メモリセルトランジスタM03、M04を通して仮想GND線D5へ回り込んでいるため、一つの非選択メモリセルトランジスタを通して回り込む従来の半導体記憶回路に比べて少ない。



【特許請求の範囲】

【請求項1】 アレイ状に配列された複数のメモリセルトランジスタと、

前記複数のメモリセルトランジスタのうち、列方向の複数のメモリセルトランジスタのドレイン、ソースに接続された複数のビット線及び仮想グランド線と、

前記ビット線及び仮想グランド線に直交し、行方向の複数のメモリセルトランジスタのゲートに接続された複数のワード線と、

前記複数のワード線にそれぞれ平行な各複数本のビット線選択線及び仮想グランド線選択線と、

複数列の複数のメモリセルトランジスタを単位として設けられ、前記ビット線選択線の電位に応じて、該複数列の複数のメモリセルトランジスタに接続された前記ビット線及び仮想グランド線を列単位でビット線に選択する、それぞれ複数のビット線選択トランジスタからなる複数のビット線選択回路と、

前記仮想グランド線選択線の電位に応じて、前記複数のメモリセルトランジスタに接続された前記ビット線及び仮想グランド線を列単位で仮想グランド線に選択する仮想グランド線選択回路とを有し、前記ビット線選択回路を構成する複数のビット線選択トランジスタの前記ビット線選択線に対する接続配置を、隣り合う該ビット線選択回路において逆配置としたことを特徴とする半導体記憶装置。

【請求項2】 前記隣り合うビット線選択回路の一方に接続された第1のビット線にセンスアンプと第1のブリチャージ回路の一方を切替接続し、他方のビット線選択回路に接続された第2のビット線に前記センスアンプと第1のブリチャージ回路の他方を切替接続する第1の選択回路と、前記仮想グランド線選択回路により選択された仮想グランド線を仮想グランドに接続し、非選択の仮想グランド線を第2のブリチャージ回路に接続する第2の選択回路を有することを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に係り、特に隣接するビット線と仮想グランド線の間にメモリセルトランジスタが配置されているNOR型セルを有する半導体記憶装置に関する。

【0002】

【従来の技術】大容量で、かつ、高速マスキード・オンリ・メモリ（ROM）のメモリセルとして用いられる、隣接するビット線と仮想グランド（GND）線の間メモリセルトランジスタが配置され、ビット線と仮想GND線に直交するようにワード線を配置したNOR型セルが、従来より知られている。

【0003】図2は上記のNOR型セルを用いた従来の半導体記憶装置の一例の構成図を示す。同図において、

この従来の半導体記憶装置は、メモリセルトランジスタM01～Mn8からなるNOR型セルアレイと、選択回路1、ブリチャージ回路2、センスアンプ3、選択回路4、ブリチャージ回路5、仮想GND線などから大略構成されている。

【0004】また、この半導体記憶装置は、ビット線及び仮想GND線D1～D9、ワード線WD0～WDn、ビット線選択トランジスタS11～S16、仮想GND線選択トランジスタS20～S26、ビット線選択線BS0、BS1、仮想GND線選択線BS2及びBS3を有している。

【0005】NOR型セルの場合、ビット線選択トランジスタS11～S16から仮想GND線選択トランジスタS20～S26までの一まとまりを1バンクというが、セルを選択するときは1バンク中のワード線1本がVCCレベルとなる。選択されてVCCレベルとされたワード線WDk（ただし、kは0～nのいずれか）は、複数（ここでは8個）のメモリセルトランジスタMk1～Mk8のゲートに接続されているため、選択セルトランジスタがオフセルで、隣非選択セルトランジスタがオンセルであった場合に、センスアンプ3から選択回路1を通して供給される電流が非選択セルトランジスタに流れてしまい、あたかもオンセルを読み出しているように見えてしまう。

【0006】この誤動作を防止するため、選択回路1、4により非選択ビット線と非選択仮想GND線をブリチャージ回路2、5に接続して、選択ビット線と同じレベルにして、センスアンプ3から非選択セルトランジスタに電流が流れていかなないようにする方式が一般にとられている。

【0007】ここで、選択メモリセルトランジスタとこの選択メモリセルトランジスタの隣非選択メモリセルトランジスタが共にオンセルであった場合を想定して、図2の動作を説明する。

【0008】図2のメモリセルトランジスタM05を読み出す場合、ワード線WD0、ビット線選択線BS0と仮想GND線選択線BS3がVCCレベルに引き上げられる。また、ビット線選択線BS1と仮想GND線選択線BS2はそれぞれGNDレベルにされる。この時、選択回路1により、ビット線Y1がブリチャージ回路2に接続され、ビット線Y2がセンスアンプ3に接続される。また、選択回路4により、仮想GND線VG1及びVG3はブリチャージ回路5に接続され、仮想GND線VG2は仮想GNDに接続される。

【0009】従って、ビット線はオンとされたビット線選択トランジスタS14を介してビット線Y2に接続されたD6が選択され、仮想GND線は、オンとされた仮想GND線選択トランジスタS23を介して仮想GND線VG2に接続されたD5が選択される。これにより、ビット線D6と仮想GND線D6がドレイン、ソースに

接続されたメモリセルトランジスタM05が選択されている状態にできる。

【0010】また、従来、ビット線及び仮想GND線へのワード線方向からの電流の流れ込みを防止することを目的とする半導体記憶装置も知られている（特開平6-68683号公報）。この従来の半導体記憶装置は、図3の構成図に示すように、ビット線11～14、仮想GND線15～19にメモリセルトランジスタがアレイ状に接続され、また、ビット線2本毎に複数のブロックに共通のメタルビット線31、32、33が設けられ、各メタルビット線にはYゲート25とメモリセルアレイの間にトランジスタ41、42、43を有するブリチャージ回路が接続されている。

【0011】また、隣接する2本の仮想GND線に1本の割合でメタル仮想GND線51、52が設けられ、それぞれはブリチャージ選択回路26、27に接続されている。また、20、21はビット線選択線、22及び23は仮想GND線選択線、24はワード線である。

【0012】この従来の半導体記憶装置では、メモリセルトランジスタ101を読み出す場合、ワード線24、仮想GND線選択線22及びビット線選択線20がそれぞれVCCレベルに引き上げられる。また、仮想GND線選択線23とビット線選択線21はそれぞれGNDレベルにされる。この時、メタル仮想GND線51のみがGNDレベルに下げられ、他のすべての仮想GND線がブリチャージレベルにされる。

【0013】これにより、仮想GND線16及び17がGNDレベルになり、他の仮想GND線15、18及び19がそれぞれブリチャージレベルとなる。また、Yゲート25によりビット線32が選択される。ビット線選択線20がVCCレベル、ビット線選択線21がGNDレベルになっていることから、トランジスタ103がオフ、トランジスタ104がオンであり、よってビット線13がトランジスタ104を介してメタルビット線32に接続されて選択された状態となっている。これにより、メモリセルトランジスタ101が選択状態とされる。

【0014】

【発明が解決しようとする課題】しかるに、図2に示した従来の半導体記憶装置では、選択されたワード線WDkにつながっている選択セルトランジスタMk1～Mk8と、隣の非選択セルトランジスタとが共にオンセルであった場合、2つのセルトランジスタに共通な仮想GND線に、センスアンプ3から流れてくる電流と、ブリチャージ回路5から流れてくる電流が合流してしまい、センスアンプ3から流れる電流が減少してオフセルを読み込んでいるように見える可能性があるという問題がある。

【0015】例えば、前記メモリセルトランジスタM05を選択した場合について説明すると、ビット線はD6

が、仮想GND線はD5が選択されるが、この時同時に、オンとされているビット線選択トランジスタS13及びビット線Y1を介してブリチャージ回路2からビット線D4がブリチャージされるため、選択メモリセルトランジスタM05の隣の非選択メモリセルトランジスタM04を通して、選択された仮想GND線D5に電流が流れ込んでしまう。このため、選択メモリセルトランジスタM05にセンスアンプ3から流れ込む電流が減少し、メモリセルトランジスタM05がオフセルに見えてしまう。

【0016】また、図3に示した従来の半導体記憶装置では、選択メモリセルトランジスタの隣の非選択メモリセルトランジスタの仮想GND線がブリチャージされているため、非選択メモリセルトランジスタがオンセルの時、選択されたビット線に直接電流が回り込んでしまう。

【0017】例えば、前記メモリセルトランジスタ101を選択した場合について説明すると、その隣にある非選択メモリセルトランジスタ102は、オンセルの時仮想GND線18がブリチャージレベルになっていることから、ビット線13へ電流が直接回り込んでしまい、その結果、メタルビット線32から流れ込む電流が減少してしまい、メモリセルトランジスタ101がオンセルであってもオフセルに見える可能性があるという問題がある。

【0018】本発明は以上の点に鑑みなされたもので、ブリチャージされた非選択ビット線から選択メモリセルトランジスタに回り込む電流を低減し得る半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】上記の目的を達成するため、本発明は、アレイ状に配列された複数のメモリセルトランジスタと、複数のメモリセルトランジスタのうち、列方向の複数のメモリセルトランジスタのドレイン、ソースに接続された複数のビット線及び仮想グラウンド線と、ビット線及び仮想グラウンド線に直交し、行方向の複数のメモリセルトランジスタのゲートに接続された複数のワード線と、複数のワード線にそれぞれ平行な各複数本のビット線選択線及び仮想グラウンド線選択線と、複数列の複数のメモリセルトランジスタを単位として設けられ、ビット線選択線の電位に応じて、複数列の複数のメモリセルトランジスタに接続されたビット線及び仮想グラウンド線を列単位でビット線に選択する、それぞれ複数のビット線選択トランジスタからなる複数のビット線選択回路と、仮想グラウンド線選択線の電位に応じて、複数のメモリセルトランジスタに接続されたビット線及び仮想グラウンド線を列単位で仮想グラウンド線に選択する仮想グラウンド線選択回路とを有し、ビット線選択回路を構成する複数のビット線選択トランジスタのビット線選択線に対する接続配置を、隣り合うビット線選択回路に

において逆配置としたことを特徴とする。

【0020】この発明では、ビット線選択回路を構成する複数のビット線選択トランジスタのビット線選択線に対する接続配置を、隣り合うビット線選択回路において逆配置としたため、選択されたメモリセルトランジスタに接続された選択仮想グランド線には、選択メモリセルトランジスタと同じワード線に接続されている複数の非選択メモリセルトランジスタを通してブリッジ電流が流れる。

【0021】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。

【0022】図1は本発明になる半導体記憶装置の一実施の形態の構成図を示す。同図中、図2と同一構成部分には同一符号を付してある。図1において、この半導体記憶装置は、メモリセルトランジスタM01～Mn8からなるNOR型セルアレイと、選択回路1、ブリッジ回路2、センスアンプ3、選択回路4、ブリッジ回路5、仮想GND線などから大略構成されている。また、ビット線及び仮想GND線D1～D9、ワード線WD0～WDn、ビット線選択トランジスタS14～S16、仮想GND線選択トランジスタS20～S26、ビット線選択線BS0、BS1、仮想GND線選択線BS2及びBS3が、図2に示した従来の半導体記憶装置と同様に設けられている。

【0023】更に、3つのビット線選択トランジスタからなるビット線選択回路SEL1及びSEL2は、4列のメモリセルトランジスタを単位として設けられ、ビット線選択線BS0及びBS1の電位に応じて、4列のメモリセルトランジスタに接続されたビット線及び仮想グランド線を列単位でビット線に選択する点も図2に示した従来の半導体記憶装置と同様である。

【0024】しかし、この実施の形態では、隣り合うビット線選択回路SEL1及びSEL2のビット線選択トランジスタの配置をビット線選択線に対して逆配置にした点に特徴がある。すなわち、ビット線選択回路SEL1を構成するビット線選択トランジスタS17、S18及びS19のうち、S17及びS19の各ゲートはビット線選択線BS1に共通接続され、それらの各ソースはビット線Y1を介して選択回路1に接続され、それらのドレインはビット線及び仮想GND線D2、D4に接続されている。また、ビット線選択トランジスタS18はゲートがビット線選択線BS0に接続され、ソースがビット線Y1を介して選択回路1に接続され、ドレインがビット線及び仮想GND線D3に接続されている。

【0025】一方、ビット線選択回路SEL2を構成するビット線選択トランジスタS14、S15及びS16のうち、S14及びS16の各ゲートはビット線選択線BS0に共通接続され、それらの各ソースはビット線Y2を介して選択回路1に接続され、それらのドレインは

ビット線及び仮想GND線D6、D8に接続されている。また、ビット線選択トランジスタS15はゲートがビット線選択線BS1に接続され、ソースがビット線Y2を介して選択回路1に接続され、ドレインがビット線及び仮想GND線D7に接続されている。

【0026】次に、メモリセルトランジスタM05を選択する場合の動作について説明する。メモリセルトランジスタM05を含むM01～M08のゲートに接続されているワード線WD0と、メモリセルトランジスタM05を含むM05のドレイン（又はソース）にドレインが接続されたビット線選択トランジスタS14のゲートに接続されているビット線選択線BS0と、メモリセルトランジスタM05のソース（又はドレイン）にドレインが接続された仮想GND線選択トランジスタS23のゲートに接続されている仮想GND線選択線BS3とがそれぞれVCCレベルとされ、上記のトランジスタS14及びS23がそれぞれオンとされる。

【0027】また、同時にビット線選択線BS1及び仮想GND線選択線BS2がそれぞれGNDレベルとされてビット線選択トランジスタS17、S19及びS15と、仮想GND線選択トランジスタS21、S22、S24及びS25がそれぞれオフとされる。また、選択回路1によりビット線Y2はセンスアンプ3に接続され、ビット線Y1はブリッジ回路2に接続される。更に、選択回路4により仮想GND線VG2は仮想GNDに接続され、仮想GND線VG1及びVG3はそれぞれブリッジ回路5に接続される。

【0028】従って、オンとされたトランジスタS14はビット線Y2とD6の間に接続され、オンとされたトランジスタS23は仮想GND線VG2とD5の間に接続されているから、ビット線はD6、仮想GND線はD5となり、メモリセルトランジスタM05が選択されている状態となる。

【0029】しかし、この時同時にオンとされているビット線選択トランジスタS18及びビット線Y1を介してD3がブリッジレベルとなっているため、非選択メモリセルトランジスタM03、M04を通して仮想GND線D5へと電流が回り込む。ところが、この電流は2つの非選択メモリセルトランジスタM03、M04を通して仮想GND線D5へ回り込んでいるため、一つの非選択メモリセルトランジスタを通して回り込む従来の半導体記憶回路に比べて少ない。

【0030】ここで、センスアンプ3から流れてくる電流とブリッジ回路2から流れてくる電流が同じ値であると仮定した場合、図2の半導体記憶回路においてセンスアンプ3から仮想GND線D5に流れる電流値は、メモリセルトランジスタM05とM06が共にオンセルであれば、単純にセンスアンプ3から流れてくる電流の値の1/2になる。これに対し、この実施の形態では、ブリッジ電流が2つの非選択メモリセルトランジ

タM03、M04を通して仮想GND線D5に回り込んでいるので、仮想GND線D5に流れる電流値は、従来よりも小さな値となる。

【0031】

【発明の効果】以上説明したように、本発明によれば、ビット線選択回路を構成する複数のビット線選択トランジスタのビット線選択線に対する接続配置を、隣り合うビット線選択回路において逆配置とし、選択されたメモリセルトランジスタに接続された選択仮想グランド線には、選択メモリセルトランジスタと同じワード線に接続されている複数の非選択メモリセルトランジスタを通してプリチャージ電流が流れるようにしたため、従来に比べてプリチャージ電流が流れる非選択メモリセルトランジスタ数が多く、選択仮想グランド線に回り込むプリチャージ電流値を小さくでき、よって、従来に比し選択メモリセルトランジスタを流れる電流量の減少を軽減できる。

【0032】また、本発明では、ビット線選択回路を構成する複数のビット線選択トランジスタのビット線選択線に対する接続配置を、隣り合うビット線選択回路において逆配置としただけであるので、従来と同じ数のトラ*

*ンジスタにより構成できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の構成図である。

【図2】従来の一例の構成図である。

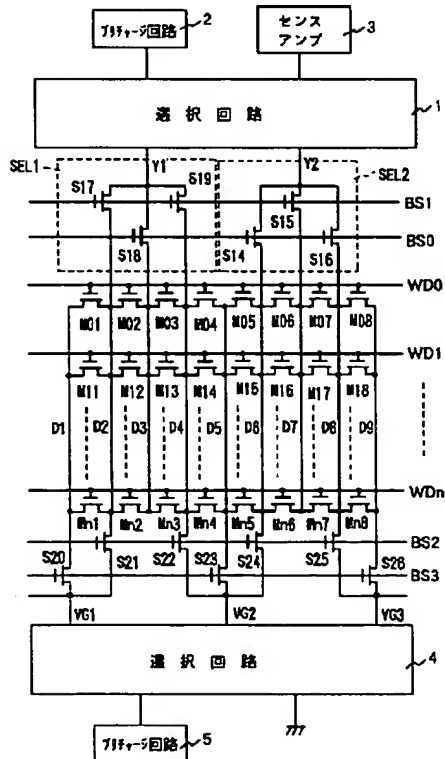
【図3】従来他の例の構成図である。

【符号の説明】

- 1、4 選択回路
- 2、5 プリチャージ回路
- 3 センスアンプ
- 10 M01～Mn8 メモリセルトランジスタ
- S14～S19 ビット線選択トランジスタ
- S20～S26 仮想グランド（GND）線選択トランジスタ
- D1～D9 ビット線及び仮想グランド（GND）線
- WD0～WDn ワード線
- BS0、BS1 ビット線選択線
- BS2、BS3 仮想グランド線選択線
- Y1、Y2 ビット線
- VG1、VG2、VG3 仮想グランド線
- SEL1、SEL2 ビット線選択回路

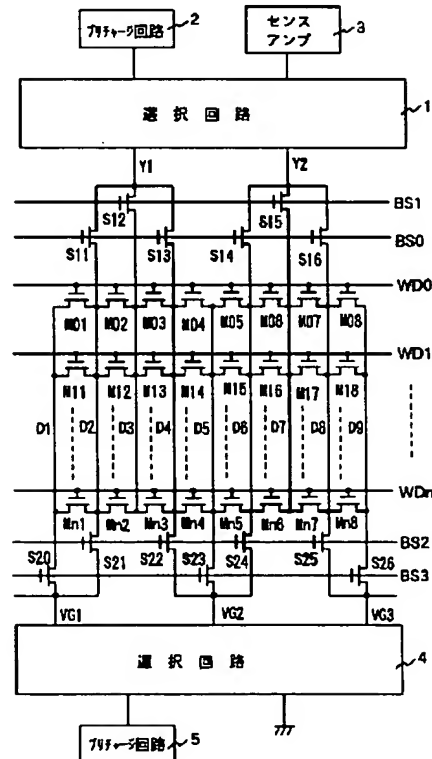
【図1】

本発明の一実施の形態の構成図



【図2】

従来の一例の構成図



【図3】

従来の他の例の構成図

